

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11054869 A**

(43) Date of publication of application: **26.02.99**

(51) Int. Cl

H05K 1/11

H05K 3/46

(21) Application number: **09213464**

(22) Date of filing: **07.08.97**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **NAKAJO TOKUO
HAYASHI YOSHIHIKO
SUGA TAKU
MURAKAMI HIROMI
OBAYASHI MASATAKE**

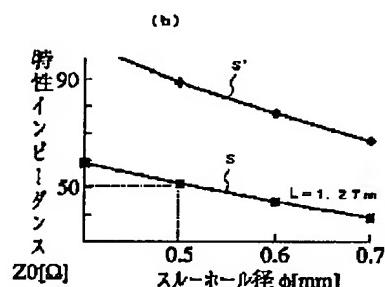
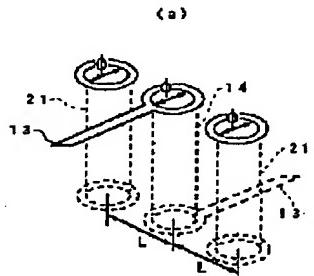
**(54) MOUNTING PRINTED CIRCUIT BOARD AND
ELECTRONIC DEVICE USING THE SAME**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent waveform distortion of a transmission signal by suppressing reflection of the signal at through-holes in the mounting printed circuit board with the through-holes to which signal lines are connected.

SOLUTION: Ground through-holes 21 are provided in the vicinity of a through-hole 14 connecting to microstrip lines 13 placed on a front side of the printed circuit board, and a diameter ϕ of the through-hole 21 or a distance L from the through-hole 14 is selected properly. Thus, the impedance of the through-hole 14 is in matching with the impedance of the microstrip line 13, so as to suppress effectively the reflection of signal at a connecting point between the microstrip line 13 and the through-hole 14.

COPYRIGHT: (C)1999,JPO



①

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-54869

(43)公開日 平成11年(1999)2月26日

(51)Int.Cl.
H05K 1/11
3/46

識別記号

F I
H05K 1/11
3/46H
N

審査請求 未請求 請求項の数 6 O L (全9頁)

(21)出願番号 特願平9-213464

(22)出願日 平成9年(1997)8月7日

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地

(72)発明者 中條 德男
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 林 良彦
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 須賀 卓
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74)代理人 弁理士 武 頭次郎

最終頁に続く

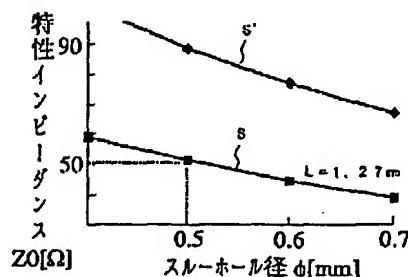
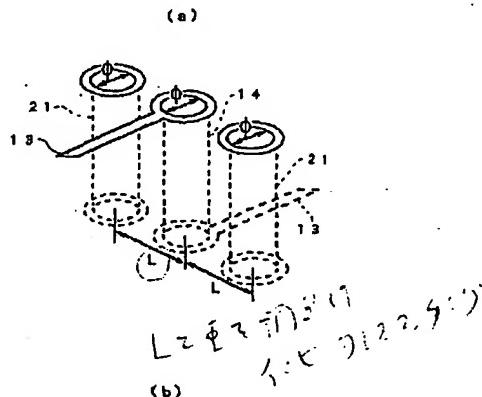
(54)【発明の名称】実装基板とそれを用いた電子装置

(57)【要約】

【課題】スルーホールが接続された信号線路が設けられた実装基板において、スルーホールでの信号の反射を抑圧し、伝送信号の波形歪みを防止する。

【解決手段】基板表面に設けられたマイクロストリップ線路13に接続されたスルーホール14の近傍に、グランドスルーホール21を設け、このスルーホール21の直径φやスルーホール14からの間隔Lの少なくともいずれかを適宜設定することにより、スルーホール14をマイクロストリップ線路13とインピーダンスマッチングし、マイクロストリップ線路13とスルーホール14との接続点での信号反射を効果的に抑圧する。

【図2】



【特許請求の範囲】

【請求項 1】 基板の一方の面に設けた信号線路の一部を、2つのスルーホールを介して、該基板の他方の面もしくは該基板内の層間に設けるようにした実装基板において、

該スルーホール夫々の近傍に、該スルーホールに対してグランド線をなすグランドスルーホールを1以上設けたことを特徴とする実装基板。

【請求項 2】 請求項 1において、

前記グランドスルーホールの直径と前記スルーホールに対する前記グランドスルーホールの間隔との少なくともいすれか一方を、前記スルーホールと前記信号線路とがインピーダンスマッチングする値としたことを特徴とする実装基板。

【請求項 3】 請求項 1または 2において、

前記基板の前記一方の面での前記2つのスルーホール間を通過するように、他の信号線路を設けたことを特徴とする実装基板。

【請求項 4】 請求項 1または 2において、

前記基板の前記一方の面での前記2つのスルーホール間に、回路部品を設けたことを特徴とする実装基板。

【請求項 5】 請求項 1または 2において、

前記2つのスルーホールの一方を前記基板に取り付ける回路部品の端子ピンが嵌合するホールとし、その近傍の前記グランドスルーホールが該回路部品の取付ピンが嵌合するホールとして、該回路部品を前記基板に取り付けたことを特徴とする実装基板。

【請求項 6】 基板の一方の面に設けられた信号線路の一部を2つのスルーホールによって該基板の他方の面もしくは該基板内の層間に設けるようにした実装基板を用いた電子機器において、
該実装基板を請求項1～5のいすれかに記載の実装基板とすることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速信号伝送に適した実装基板とそれを用いた電子装置に関する。

【0002】

【従来の技術】近年では、伝送コストの低廉化などの点から、伝送路での伝送情報の高密度化が図られ、これとともに、伝送速度の高速化が進められてきている。また、パソコンなどにおいても、多機能化が進むにつれて、処理を高速化することが必要となり、このため、I C間の伝送速度を高めることが必要となってきている。

【0003】図7は、例えば、光伝送での中継装置や光送信装置、光受信装置などに用いられる実装基板の一従来例を示す要部斜視図であって、1は基板、2はマルチブレクサ/デマルチブレクサ、3は光モジュール、4は同軸線、5はマイクロストリップ線路、6a、6bは同軸コネクタ、7は光ファイバである。

【0004】この実装基板は、複数の電気信号を時分割多重化して光伝送する光伝送装置に用いるものである。

【0005】同図において、基板1上には、マルチブレクサ/デマルチブレクサ2と光モジュール3とが搭載され、これら間が同軸線4によって接続されているが、マルチブレクサ/デマルチブレクサ2の入出力線としてのマイクロストリップ線路5が同軸線4と同軸コネクタ6aによって接続され、また、同軸線4と光モジュール3とが同軸コネクタ6bによって接続されている。

【0006】夫々が、例えば、150Mb/secの速度の複数の電気信号がマルチブレクサ/デマルチブレクサ2で時分割多重されて1つの、例えば、2.5Gb/secの電気信号となり、マイクロストリップ線路5及び同軸線4を伝送されて光モジュール3に供給され、そこで光信号に変換されて光ファイバ7により伝送される。

【0007】また、光ファイバ7で伝送されてきた光信号は、光モジュール3で2.5G/secの時分割多重の電気信号に変換され、同軸線4及びマイクロストリップ線路5を伝送されてマルチブレクサ/デマルチブレクサ2に供給され、この電気信号が複数の150Mb/secの電気信号に分配される。

【0008】しかし、このようにマルチブレクサ/デマルチブレクサ2と光モジュール3との間を同軸線4を用いて接続すると、高価な同軸コネクタ6を必要とする。これを避けるために、従来、これら間をマイクロストリップ線路で接続する方法がある。

【0009】図8はかかる方法を用いた実装基板を示す要部斜視図であって、1aは表面、1bは裏面、3aは端子ピン、3bは非絶縁面、8はマイクロストリップ線路、9はスルーホール、10はマイクロストリップ線路、11は配線禁止領域であり、図7に対応する部分には同一符号を付けて重複する説明を省略する。

【0010】同図において、基板1の一方の面、即ち、表面1aには、マルチブレクサ/デマルチブレクサ2と光モジュール3とが載置されているのであるが、この表面1aでの配線禁止領域11がこの光モジュール3が載置される領域である。この基板1の配線禁止領域11には、光モジュール3の非絶縁面3bに設けられた複数の取付ピン（そのうちの1つが、信号の入出力も兼ねた端子ピン3aである）夫々が嵌合するスルーホールが設けられている（ここで、スルーホールには、その壁面にメッキ層が設けられ、これを信号線路またはグランドや電源に接続しているが、以下では、単にスルーホールと表現することにする）。そして、この配線禁止領域11外には、このスルーホール9aと基板1の裏面1b側でマイクロストリップ線路10と接続されるスルーホール9bが設けられている。基板1の表面1aでは、このスルーホール9bがマイクロストリップ線路8を介してマルチブレクサ/デマルチブレクサ2に接続されている。

【0011】光モジュール3は、その非絶縁面3bに設

けられている取付ピンを基板 1 上の配線禁止領域 1 1 の対応するスルーホールに嵌め込むことにより、基板 1 の配線禁止領域 1 1 に取り付けられる。これにより、光モジュール 3 は、端子ピン 3 a, スルーホール 9 a, マイクロストリップ線路 1 0, スルーホール 9 b 及びマイクロストリップ線路 8 を介して、マルチブレクサ/デマルチブレクサ 2 と接続されることになる。

【0012】このように、スルーホールを利用することにより、高価な同軸コネクタを用いることなしに、光モジュール 3, マルチブレクサ/デマルチブレクサ 2 間を接続することができることになる。

【0013】図 9 は、例えば、パソコンなどに用いられる実装基板の一例を示す要部斜視図であって、1 2 a, 1 2 b は IC、1 3 a, 1 3 b はマイクロストリップ線路、1 4 a, 1 4 b はスルーホールである。

【0014】同図において、この従来例は、基板 1 上に設けられた 2 つの IC 1 2 a, 1 2 b 間で、高速信号を伝送するための 2 つのマイクロストリップ線路 1 3 a, 1 3 b が交差するものとしており、このような場合、その交差部分で、一方のマイクロストリップ線路 1 3 b を、スルーホール 1 4 a, 1 4 b を用いることにより、基板 1 の裏面側に設けるようにしている。

【0015】このように、スルーホールを用いることにより、高速信号の伝送線としてマイクロストリップ線路を用いても、基板上の配線禁止領域を避けて配線することや他の線路と立体交差して配線することが容易となり、高価な同軸コネクタを必要としない。

【0016】

【発明が解決しようとする課題】ところで、このように、マイクロストリップ線路をスルーホールと接続すると、その接続点で電気信号の反射が発生し、その反射信号によって電気信号に波形歪みが生ずるという問題がある。勿論、かかる信号線路では、特性インピーダンスを 50Ω に設定してインピーダンスマッチングを図っているが、それでも、スルーホールとマイクロストリップ線路との接続点で生ずる反射をなくすことは非常に難しく、これによる波形歪みを避けることができなかつた。以下、この点について説明する。

【0017】図 10 (a) は基板のスルーホールの部分を示す斜視図であって、1 5 はスルーホール（基板内にあるため、破線で示している）、1 6 a, 1 6 b はマイクロストリップ線路（マイクロストリップ線路 1 6 b は、基板の裏側にあるため、破線で示している）である。また、図 10 (b) は同図 (a) の分断線 A-A' に沿う縦断面図であって、1 7 は信号線、1 8 はグランド線であり、図 10 (a) に対応する部分には同一符号を付けている。

【0018】図 10において、マイクロストリップ線路 1 6 a, 1 6 b は夫々、基板 1 の面に平行な信号線 1 7 とグランド線 1 8 とが対となって構成されており、これ

に対し、スルーホール 1 5 では、その壁面にメッキされてなる信号線が、基板 1 の面に垂直で、かつそのメッキ層のみから構成されている。このように、構成が全く異なるマイクロストリップ線路 1 6 a, 1 6 b がスルーホール 1 5 の信号線と互いに垂直な関係で接続されると、これらの接続点 P で信号の反射が生ずる。

【0019】図 11 はかかるスルーホールを有する信号線路の等価回路図であって、1 5 はスルーホール、1 6 はマイクロストリップ線路、1 9 a, 1 9 b は特性インピーダンス、2 0 は信号源である。

【0020】例えば、図 9において、IC 1 2 a からマイクロストリップ線路 1 3 b を介して電気信号を送る場合の等価回路としては、図 11 図のように表わされる。この場合、信号源 2 0 は IC 1 2 a に相当し、スルーホール 1 5 がスルーホール 1 4 a, 1 4 b に、マイクロストリップ線路 1 6 がマイクロストリップ線路 1 3 b に夫々相当する。ここで、信号源 2 0 と伝送線路とのインピーダンスマッチングを取るために、信号源 2 0 側に伝送線路の特性インピーダンスと等しい抵抗値を持つ抵抗 1 9 a が設けられ、また、図示しない電気信号の供給先（図 9 での IC 1 2 b に相当する）にも、伝送線路とのインピーダンスマッチングをとるために、伝送線路の特性インピーダンスと等しい抵抗値を持つ抵抗 1 9 a が設けられている。

【0021】いま、信号源 2 0 から高速の電気信号が伝送されるものとすると、そのビットの立上りや立下りのときに、その一部がミスマッチングの程度に応じてマイクロストリップ線路 1 6 とスルーホール 1 5 との接続点 P で反射し、マイクロストリップ線路 1 6 を逆方向に進む。このとき、特性インピーダンス 1 9 a が正確に 50Ω でインピーダンスマッチングがとられていれば、この反射信号はこの特性インピーダンス 1 9 a で吸収され、各別問題は生じないが、この特性インピーダンス 1 9 a によって正確にインピーダンスマッチングをとることは非常に難しく、このため、ミスマッチングが生じて、ここでも、接続点 P からの反射信号が反射する。ここで反射した反射信号は、信号源 2 0 から伝送される電気信号と同じ方向に進むことになるから、この電気信号に重畠されることになり、これによって伝送される電気信号に波形歪みが生ずることになる。

【0022】図 12 は伝送信号の立上り時の反射信号による波形歪みを示すものであって、ここでは、マイクロストリップ線路 1 6 の伝送時間を T とし、また、伝送信号の立上り時間も T とした場合を示しており、反射信号による波形歪みは、立上り後時間 T を経過して現われる。

【0023】スルーホール 1 5 は、その形状などにより、伝送信号に対し、容量性のインピーダンスとして作用する場合と誘導性のインピーダンスとして作用する場合とがあり、前者の場合には、反射信号は逆極性で、ま

た、後者の場合には、反射信号は同極性で夫々伝送信号に重置することになる。従って、図12において、スルーホール15が容量性のインピーダンスとして作用する場合には、反射信号分電圧が減少した凹状の波形歪みD₁が生じ、スルーホール15が誘導性のインピーダンスとして作用する場合には、反射信号分電圧が増加した凸状の波形歪みD₂が生ずる。

【0024】そして、特に、凹状の波形歪みD₁が生じてその歪みが大きい場合には、1,0ビットの判定に影響を及ぼすことになる。

【0025】また、マイクロストリップ線路16の伝送時間Tが長くなったり、あるいは伝送信号がさらに高速になって1ビットの周期が短くなったりすると、ビットの立上りエッジや立下りエッジで生ずる反射信号がその後のビットのエッジに影響するようになり、これによってエッジの時間的な変動、即ち、ジッターが生じて、1,0ビットの判定に誤りを生じさせることもある。

【0026】なお、長距離伝送において、その中継装置に図8に示すような実装基板を用いた場合、個々の中継装置では、上記のような波形歪みが小さい場合でも、伝送中夫々の中継装置での波形歪みが累積されるものであり、目的地点での信号には大きな波形歪みが生ずることになる。

【0027】パソコンなどの実装基板上での短距離伝送の場合でも、信号振幅が大きくかつ立上り、立下りが急峻な場合には、さらには、ミスマッチングの程度により、反射信号の振幅が大きくなって波形歪みが大きくなる。

【0028】本発明の目的は、かかる問題を解消し、高速伝送信号に対しても、スルーホールでの反射信号の発生を抑圧し、この反射信号による伝送信号の波形歪みを防止することができるようとした実装基板とそれを用いた電子機器を提供することにある。

【0029】

【課題を解決するための手段】上記目的を達成するためには、本発明は、スルーホールの近傍に1以上のグランドスルーホールを設ける。該スルーホールと該グランドスルーホールとでマイクロストリップ線路に類似した機能の線路が形成され、該スルーホールにマイクロストリップ線路を接続したときには、該スルーホールと該マイクロストリップ線路との接続点での信号の反射が低減される。

【0030】また、該スルーホールと該グランドスルーホールとの直径及び間隔に応じて、これらからなる線路の特性インピーダンスが異なり、従って、かかる直径及び間隔を適宜設定することにより、この特性インピーダンスを所定の値に設定することができ、該スルーホールと該グランドスルーホールとからなる線路とこれに接続されるマイクロストリップ線路とのインピーダンスマッチングがとれて、これら線路の接続点での信号反射を抑

圧できる。

【0031】

【発明の実施の形態】以下、本発明の実施形態を図面により説明する。

【0032】図1は本発明による実装基板とそれを用いた電子機器の一実施形態を示す構成図であって、21はグランドスルーホール、22は電子機器、23は実装基板であり、図9に対応する部分には同一符号を付けている。

10 10 【0033】同図において、電子機器22は、例えば、伝送装置や交換機などであり、これに使用される実装基板23を取り出して示している。

【0034】この実装基板23においては、図9に示した從来の実装基板と同様に、2つのIC12a, 12bとの間に夫々がマイクロストリップ線路からなる2つの信号線路13a, 13bが設けられ、一方の信号線路13bの一部をスルーホール14a, 14bを介して基板1の裏側に設けることにより、これら信号線路13a, 13bを立体交差させている。

20 20 【0035】かかる構成において、この実施形態では、さらに、スルーホール14a, 14b毎に、その近傍に2つずつグランドに接続したスルーホール21が設けられている。

【0036】これらグランドスルーホール21は、スルーホール14a, 14bに対して平行であり、スルーホール14a, 14bの信号線に対し、グランド線として作用する。従って、スルーホール14aとグランドスルーホール21とはマイクロストリップ線路と類似した作用の信号線路を構成し、また、スルーホール14bとグランドスルーホール21もマイクロストリップ線路と類似した作用の信号線路を構成する。

30 30 【0037】そこで、スルーホール14aとグランドスルーホール21とからなる信号線路やスルーホール14bとグランドスルーホール21とからなる信号線路を信号線路13bとインピーダンスマッチングさせることにより、これら信号線路の接続点での信号の反射を抑圧することができる。

40 40 【0038】図9に示した從来技術のように、スルーホール14a, 14bだけが用いられる場合には、その特性インピーダンスがその形状によって決まるため、その特性インピーダンスを信号線路13bとインピーダンスマッチングする50Ωに正確に設定することは非常に難しいが、この実施形態の場合には、グランドスルーホール21の直径やスルーホール14a, 14bとの間隔に応じてスルーホール14a, 14bとグランドスルーホール21とからなる信号線路の特性インピーダンスが異なるものであることから、これら直径や間隔を適宜設定することにより、かかるインピーダンスをマイクロストリップ線路13bとインピーダンスマッチングするよう50 50 に、精度良く設定することができる。以下、この点につ

いて、図2により説明する。

【0039】図2(a)に示すように、いま、信号線としてのスルーホール14の両側に夫々、グランドスルーホール21が設けられているものとする。ここでは、スルーホール14に接続されるマイクロストリップ線路13に沿い、かつスルーホール14の中心軸と交差する直線に関して対称な位置にグランドスルーホール21が配置されており、スルーホール14の中心軸と両側のグランドスルーホール21の中心軸との間隔(即ち、スルーホール間隔)Lは等しく、また、これらスルーホール14とグランドスルーホール21との直径(即ち、スルーホール径)φも等しいとする。

【0040】かかる構成において、スルーホール間隔Lを一定としてスルーホール径φを変化させると、図2(b)で特性Sとして示すように、スルーホール径φを大きくしていくとともに、スルーホール14とグランドスルーホール21とからなる信号線路の特性インピーダンスZ0が減少する。ここで、スルーホール間隔L=1.27mmとすると、スルーホール径φ=0.5mmのとき、50Ωの特性インピーダンスZ0が得られた。

【0041】また、設けられるグランドスルーホールの個数としては、2個のみに限るものではなく、1個あるいは3個以上としてもよい。グランドスルーホールを1個設けた場合には、スルーホール間隔L=1.27mmとして、同様にスルーホール径φを変化させたところ、図2(b)で特性S'をして示すような特性インピーダンスZ0の変化が得られた。この場合も、スルーホール径φを大きくするにつれて特性インピーダンスZ0が減少するが、スルーホール間隔L=1.27mmのときは、図2(a)から、

スルーホール径φ<L=1.27mm

とスルーホール径φが制限されるが、図2(b)では図示していないが、この範囲内で特性インピーダンスZ0を50Ωにすることができる。

【0042】図3は以上のようにグランドスルーホールを設けたときの伝送波形を示す図であって、破線は、図12で示したのと同様、グランドスルーホールを設けない場合の波形歪みを示すものであり、これに対し、この実施形態では、実線で示すように、波形歪みを大幅に低減することができる。これは、上記のように、スルーホールによって生ずる反射信号を大幅に抑圧できたことによるものである。

【0043】なお、図2の説明では、スルーホール14とグランドスルーホール21との直径をφと等しくしたが、必ずしも等しくする必要はない。しかし、これらスルーホール14とグランドスルーホール21との直径を等しくすると、実装基板の製造の点で有利であることはいうまでもない。

【0044】このように、スルーホール14とグランドスルーホール21との直径が異なる場合でも、グランド

スルーホール21がスルーホール14に近づく程、スルーホール14による信号線路の特性インピーダンスは小さくなる。要するに、この特性インピーダンスは、スルーホール14とグランドスルーホール21との形状(直径など)によっても影響されるが、一般に、スルーホール14とグランドスルーホール21との間の距離が小さいほど、特性インピーダンスは小さくなる。

【0045】また、図2(b)に示すような特性は、基板1の材料などによっても異なる。従って、基板1の材10 料によっては、例えば、図2(b)に示す特性S'を全体として小さくすることもでき、この場合には、図示するよりもさらに小さいスルーホール径φで所望の特性インピーダンスを得ることができる。

【0046】また、図2において、スルーホール間隔Lを1.27mmとしたのは、一般に、スルーホールの間隔がこのように決められているからである。このように決められたスルーホール間隔を用いると、実装基板の製造に際して、既存の設備や既存の方法をとることができて有利であるが、この実施形態では、勿論、これに限定20 されるものではない。

【0047】図8で示した従来の光伝送での中継装置や光送信装置、光受信装置においても、本発明を適用することができる。図4はその適用例を示す図であって、スルーホール9bの近傍に1以上のグランドスルーホール21を設けるとともに、他方の配線禁止領域11でのスルーホール9aに対しては、その両側のスルーホール22をグランドに接続し、これらグランドスルーホール22に光モジュール3での取付端子ピン3c, 3dが嵌入するようにすればよい。

【0048】さらに、図5に示すように、信号線路13の一部をスルーホール14a, 14bによって基板1の裏面に設けることにより、このスルーホール14a, 14b間に他のICを配置することができ、ICなどの電子部品の基板1上での配置設計に余裕が得られるが、この場合でも、夫々のスルーホール14a, 14bの近傍にグランドスルーホール21を設けることにより、同様にして、スルーホール14a, 14bでの信号反射を抑圧することができる。

【0049】図7、図8に示した光伝送での中継装置や光送信装置、光受信装置において、さらに光伝送速度を40 10Gb/secなどに高める場合、マルチブレクサ/デマルチブレクサ2から光モジュール3に5Gb/secずつ2系統でパラレルに伝送し、光モジュール3で10Gb/secの1系統の信号として光伝送することが考えられるが、このような場合においても、図6に示すように、夫々の系統の信号線路8a, 8b毎にスルーホール9b, 9dを設けるとともに、配線禁止領域11においても、これらスルーホール9b, 9dに対してスルーホール9a, 9cを設け、基板1の裏面側でのスルーホール9a, 9b間に信号線8aの一部となる信号線路を、

また、基板 1 の裏面側でのスルーホール 9 c, 9 d 間に信号線 8 b の一部となる信号線路を夫々設けるとともに、それらスルーホール 9 a~9 d の近傍にグランドスルーホール 21 a~22 c, 22 a~22 c を設ければよい。

【0050】但し、スルーホール 9 a, 9 c は光モジュール 3 の端子ビン 3 a, 3 e が嵌合するスルーホールであり、また、グランドスルーホール 22 a, 22 b, 22 c は同じく取付ビン 3 c, 3 d, 3 f が嵌合するホールである。

【0051】また、ここでは、図示するように、スルーホール 9 b, 9 d 間に 1 つのグランドスルーホール 21 b を設け、これらスルーホール 9 b, 9 d とに共用させており、同様にして、配線禁止領域 11 でのスルーホール 9 a, 9 c 間に 1 つのグランドスルーホール 22 b を設け、これらスルーホール 9 a, 9 c に共用させていい。勿論、グランドスルーホール 21 a, 21 c を省いて、夫々のスルーホール 9 b, 9 d に 1 つずつのグランドスルーホールが設けられている状態としてもよい。

【0052】さらに、上記実施形態では、信号線路の 2 つのスルーホール間の部分を基板 1 の裏側に設けるとしたが、基板が複数の層からなる場合には、それらの層間に設けるようにしてもよい。勿論、このスルーホールの近傍に設けられるグランドスルーホールも、この信号線路が設けられる層間までとするものであり、スルーホールとグランドスルーホールとを同じ長さとすればよい。これによると、3 以上の信号線路も立体交差させることができ、実装基板の設計の余裕度がさらに増すことになる。

【0053】

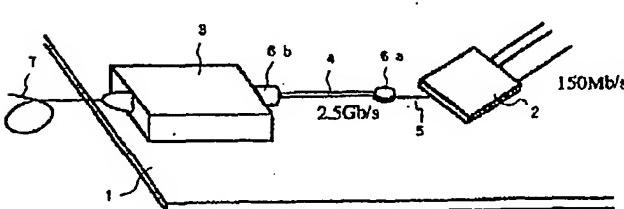
【発明の効果】以上説明したように、本発明によると、スルーホールでの信号の反射を効果的に抑圧することができ、基板上の信号線路の一部にスルーホールを設けても、伝送信号の波形歪みの発生を防止することができる。

【図面の簡単な説明】

【図1】本発明による実装基板とそれを用いた電子機器の一実施形態を示す構成図である。

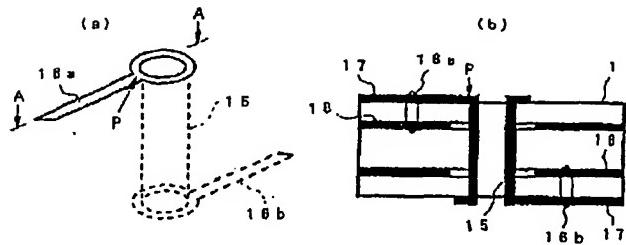
【図7】

【図7】



【図10】

【図10】



【図2】図1におけるグランドスルーホールの作用、効果を説明した図である。

【図3】図1に示した実施形態による波形歪みの抑圧効果を示す図である。

【図4】本発明による電子機器の他の実施形態を示す斜視図である。

【図5】本発明による実装基板とそれを用いた電子機器の他の実施形態を示す斜視図である。

【図6】本発明による実装基板とそれを用いた電子機器のさらに他の実施形態を示す斜視図である。

【図7】従来の実装基板とそれを用いた電子機器の一例を示す斜視図である。

【図8】従来の実装基板とそれを用いた電子機器の他の例を示す斜視図である。

【図9】従来の実装基板とそれを用いた電子機器のさらに他の例を示す斜視図である。

【図10】従来の実装基板でのスルーホールと信号線路との接続部での構成を示す図である。

【図11】スルーホールを備えた従来の実装基板での伝送路を示す等価回路である。

【図12】従来の実装基板でのスルーホールを備えた伝送路による信号の波形歪みを示す図である。

【符号の説明】

1 基板

2 マルチブレクサ/デマルチブレクサ

3 光モジュール

3 a, 3 e 端子ビン

3 c, 3 d, 3 f 取付ビン

7 光ファイバ

30 8, 8 a, 8 b マイクロストリップ線路

9 a~9 d スルーホール

10 信号線路

11 配線禁止領域

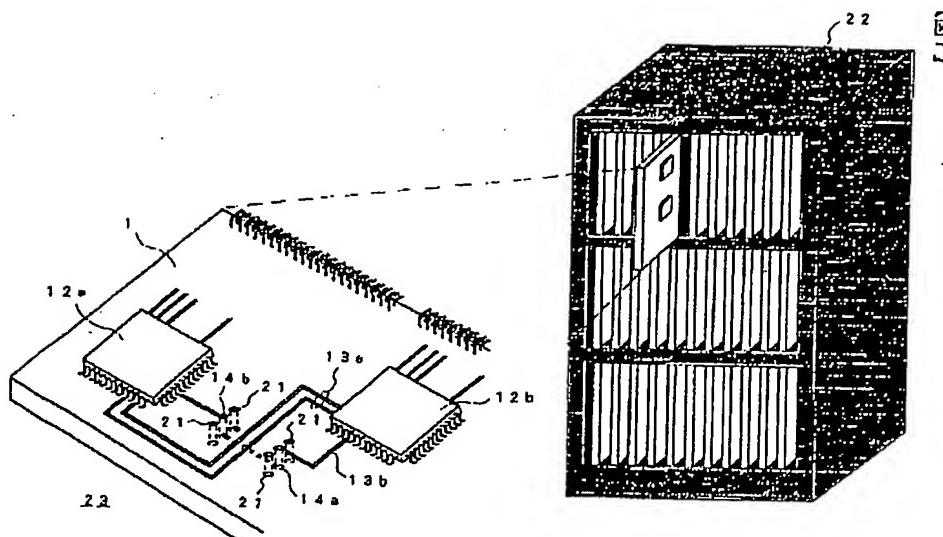
12 a~12 c IC

13 a, 13 b マイクロストリップ線路

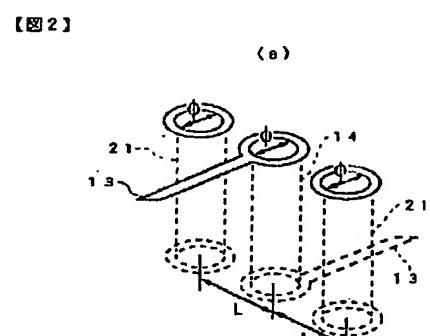
14 a, 14 b スルーホール

21, 21 a~21 c, 22 a~22 c グランドスルーホール

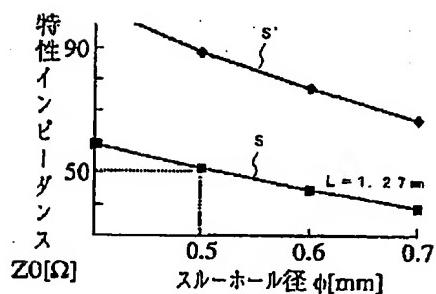
【図1】



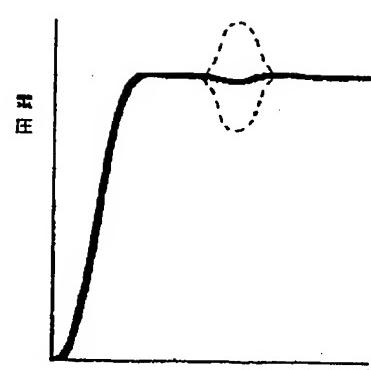
【図2】



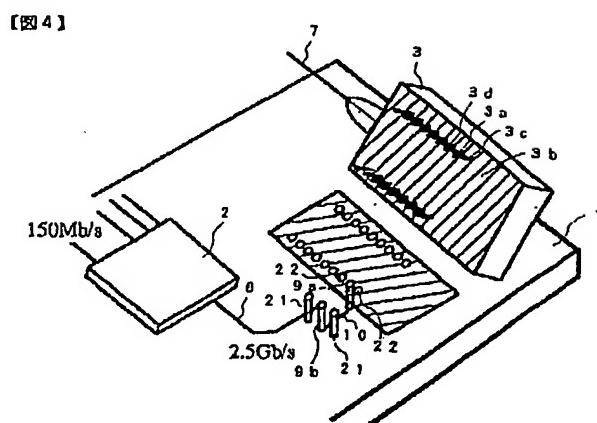
(b)



【図3】

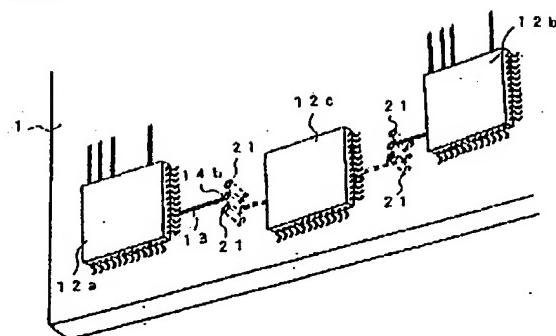


【図4】



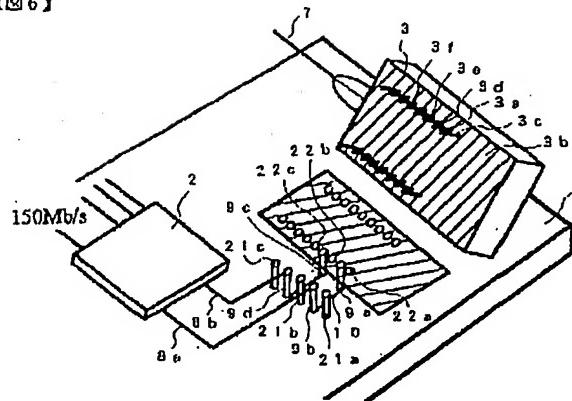
【図 5】

【図 5】



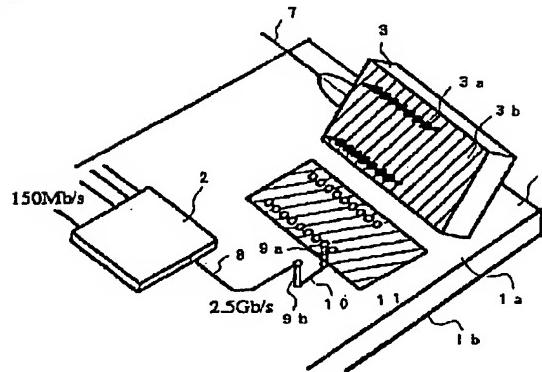
【図 6】

【図 6】



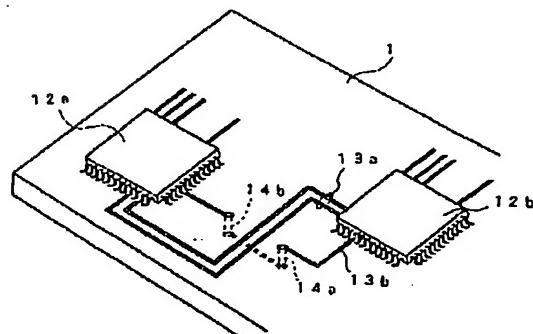
【図 8】

【図 8】



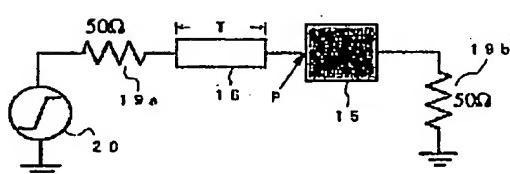
【図 9】

【図 9】



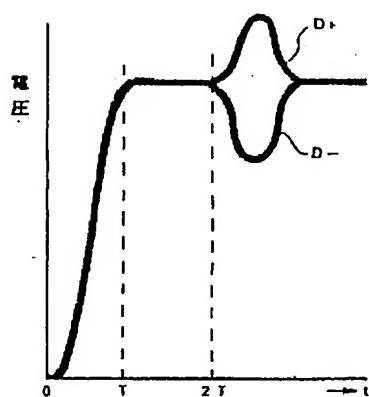
【図 11】

【図 11】



【図 12】

【図 12】



フロントページの続き

(72)発明者 村上 裕美
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内

(72)発明者 尾林 正剛
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内

